

Japanese Laid-Open Patent Publication No. 06-203584  
Date of Publication: July 22, 1994  
Application No.: 4-34981  
Date of Filing: December 28, 1992  
Applicant: Fujitsu Kabushiki Kaisha  
Inventor: Yasushi Kasa

Partial Translation of paragraphs [0022] - [0024]

[0022]

Fig. 1 shows an external power supply control operation of a flash memory. In step 501, a signal output from a CPU to the flash memory is checked to determine whether high voltage is necessary. If high voltage is necessary, in step 502, an activation signal is sent to a DC-DC converter 36. The DC-DC converter requires a certain amount of time after activation to output a predetermined voltage. In step 502, a voltage checking circuit 50 waits until determining that the voltage of an internal power supply line has become greater than or equal to a predetermined value.

[0023]

When the voltage becomes greater than or equal to the predetermined voltage, in step 504, the writing or deletion of data is performed. This operation is continuously performed. After completion of the writing or deletion of every data, in step 505, when writing is performed, it is determined whether data has been accurately written, and when deletion is performed, it is determined whether the deletion was accurate. If there are no problems, in step 506, a deactivation signal is sent to the DC-DC converter 36. Simultaneously, the internal power supply is switched. Accordingly, the DC-DC converter 36 stops raising the voltage.

[0024]

In step 507, it is checked whether the switched internal power supply has returned to normal voltage. Then, the control operation is terminated. In the processing of Fig. 5, the voltage checking circuit shown in Fig. 6 is used to check the voltage output from the DC-DC converter 36. However, by measuring the time required for the predetermined voltage to be obtained after activation, operation requiring high voltages may be started after this time elapses. Fig. 7 shows an example of such a circuit.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-203584

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

G11C 16/06

(21)Application number : 04-349481

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.12.1992

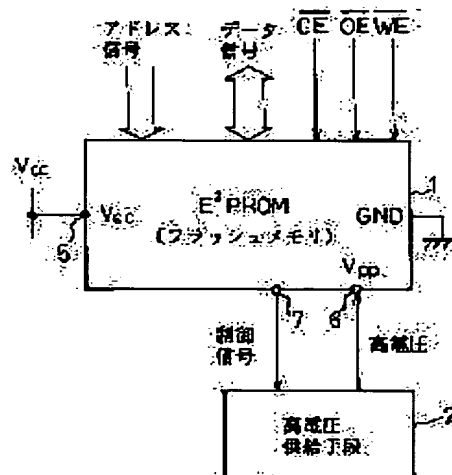
(72)Inventor : RYU YASUSHI

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract:

PURPOSE: To enable using an EEPROM such as a flash memory and the like requiring two power supplies with the same operation as that of a EEPROM having one power supply by providing a high voltage control signal terminal which outputs a control signal controlling whether high voltage is to be applied to a high voltage supplying device or not.

CONSTITUTION: This non-volatile semiconductor memory requires higher power supply voltage  $V_{pp}$  than power supply voltage  $V_{cc}$  used in reading out at the time of writing or erasing data. And this device is provided with a high voltage control signal terminal 7 which outputs a control signal controlling whether high voltage is to be supplied to a high voltage supplying device 2 or not, and outputs the control signal according to demand. Thereby, the device 2 is not required to control by a system side as performed conventionally, by accessing to the non-volatile semiconductor memory in the same way as a nonvolatile semiconductor memory of a single power supply, the non-volatile semiconductor device automatically control the device 2 according to demand. Therefore, this device may be operated with the same operation as that of a non-volatile device of a single power supply, software is not required to change.



## LEGAL STATUS

[Date of request for examination]

02.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3159816

[Date of registration]

16.02.2001

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-203584

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.<sup>5</sup>  
G11C 16/06

識別記号

庁内整理番号

FI

技術表示箇所

6866-5L

G11C 17/00

309 D

審査請求 未請求 請求項の数12 (全 11 頁)

(21)出願番号 特願平4-349481

(22)出願日 平成4年(1992)12月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 笠 靖

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

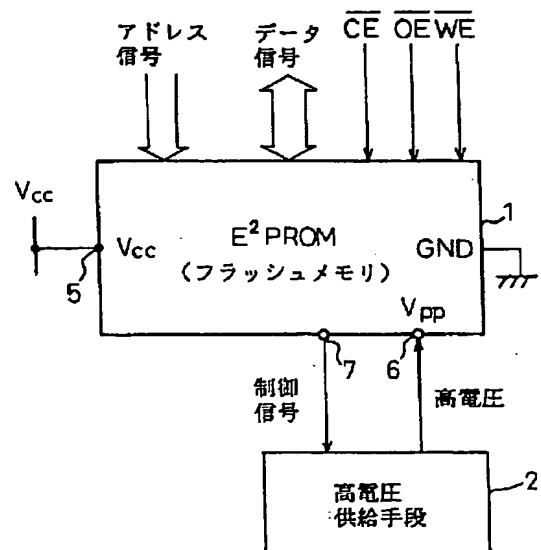
(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 本発明はデータの書き込み時又は消去時に、読出時に使用する電源電圧よりも高い電源電圧を必要とする不揮発性半導体記憶装置に関し、二電源を使用するが、実質的に単一電源と同様の操作で利用できる使用方法の容易な不揮発性半導体記憶装置の実現を目的とする。

【構成】 データの書き込み時又は消去時に、読出時に使用する電源電圧 $V_{cc}$ よりも高い電源電圧 $V_{pp}$ を必要とし、標準電源用端子5の他に外部の高電圧供給手段2から供給される前記高電圧用の電源端子6を備える不揮発性半導体記憶装置において、高電圧供給手段2に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子7を備えるように構成する。

本発明のE<sup>2</sup>PROMの原理説明図



## 【特許請求の範囲】

【請求項1】 データの書き込み時又は消去時に、読出時に使用する電源電圧（V<sub>cc</sub>）よりも高い電源電圧（V<sub>pp</sub>）を必要とし、標準電源用端子（5）の他に外部の高電圧供給手段（2）から供給される前記高電圧用の電源端子（6）を備える不揮発性半導体記憶装置において、前記高電圧供給手段（2）に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子（7）を備えることを特徴とする不揮発性半導体記憶装置。

【請求項2】 当該不揮発性半導体記憶装置に入力されるコマンド信号から高電圧が必要な動作であるかを判定するコマンド判定手段（49）を備え、該コマンド判定手段（49）は高電圧が必要なコマンドの時には高電圧供給の開始を指示する前記制御信号を出力し、高電圧が必要でなければ高電圧供給の停止を指示する前記制御信号を出力することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 供給される高電圧の電圧値が所定値以上であることを判定する電圧確認手段（48）を備え、供給される高電圧が所定値以上になった時点から高電圧が必要な動作を開始することを特徴とする請求項1又は2に記載の不揮発性半導体記憶装置。

【請求項4】 前記高電圧の開始を指示する制御信号の喪失送出から所定時間経過後、高電圧が必要な動作を開始させる遅延手段（72）を備えることを特徴とする請求項1、2又は3のいずれかに記載の不揮発性半導体記憶装置。

【請求項5】 データの書き込み時又は消去時に、読出時に使用する電源電圧（V<sub>cc</sub>）よりも高い電源電圧（V<sub>pp</sub>）を必要とし、該高電源電圧（V<sub>pp</sub>）を供給する昇圧用スイッチング回路（103）を内蔵する不揮発性半導体記憶装置において、

当該不揮発性半導体記憶装置に入力されるコマンド信号から高電圧が必要な動作であるかを判定するコマンド判定手段（49）を備え、該コマンド判定手段（49）は高電圧が必要なコマンドの時には高電圧供給の開始を指示する前記制御信号を出力し、高電圧が必要でなければ高電圧供給の停止を指示する前記制御信号を出力することを特徴とする不揮発性半導体記憶装置。

【請求項6】 前記昇圧用スイッチング回路（103）を構成する受動部品は、当該不揮発性半導体記憶装置の外部より取り付けられることを特徴とする請求項5に記載の不揮発性半導体記憶装置。

【請求項7】 前記外付けされる受動部品は、インダクタンス素子であることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】 前記外付けされる受動部品は、容量素子であることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項9】 供給される高電圧の電圧値が所定値以上であることを判定する電圧確認手段（48）を備え、供給される高電圧が所定値以上になった時点から高電圧が必要な動作を開始することを特徴とする請求項5乃至8のいずれかに記載の不揮発性半導体記憶装置。

【請求項10】 前記高電圧の開始を指示する制御信号の喪失送出から所定時間経過後、高電圧が必要な動作を開始させる遅延手段（72）を備えることを特徴とする請求項5乃至8のいずれかに記載の不揮発性半導体記憶装置。

【請求項11】 当該不揮発性半導体記憶装置と前記外付けされる受動部品とを同一パッケージ内に封止したことを特徴とする請求項6乃至10のいずれかに記載の不揮発性半導体記憶装置。

【請求項12】 不揮発性半導体記憶装置を記憶手段の一部として備え、該不揮発性半導体記憶装置の書き込み時又は消去時に必要とする高電圧を発生する昇圧用スイッチング回路も備えるコンピュータシステムにおいて、前記不揮発性半導体記憶装置へのアクセス動作に応じて自動的に前記昇圧用スイッチング回路の制御信号を発生する制御手段を備えることを特徴とする不揮発性半導体記憶装置を有するコンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、書き込み時又は消去時に、読出時に用いる電源電圧よりも高い電源電圧を必要とする不揮発性半導体記憶装置に関し、特に電氣的に記憶データの消去が行えるEEPROM(Electrically Erasable Programmable Read Only Memory)に関する。消去を装置全体で又はブロック毎に一括して行うフラッシュメモリはこのEEPROMの一種である。

## 【0002】

【従来の技術】近年、記憶データを電氣的に消去できる不揮発性半導体記憶装置、いわゆるEEPROMが注目されており、その中でもフラッシュメモリは高集積化が可能なことから磁気記憶装置を置き換えるものとして注目されている。以下、フラッシュメモリを例として説明を行うが、本発明は通常のEEPROMにも適用可能である。

【0003】フラッシュメモリは、フローティングゲートとコントロールゲートの二重構造を持ち、フローティングゲートに電荷が蓄積されているかいないかで情報の記憶を行う。書き込みは、コントロールゲートに+12V程度の高電圧を印加し、ドレインに+6V程度の電圧を印加し、ソースを接地することにより、フローティングゲートにホットエレクトロンを注入して行うのが一般的である。読出時には、コントロールゲートに+5V程度の電圧を印加し、ドレインに+1V程度の電圧を印加し、ソースを接地して、フローティングゲート内の電荷蓄積の有無によって異なる電流差を検出することによ

て行う。消去時には、ソースに+12V程度の高電圧を印加し、コントロールゲートを接地し、ドレインを開放して、バンド間トンネル電流を発生させて電子をフローティングゲートからソースに引き抜く。書き込み時には、ドレイン電流として数mA程度の電流が流れ、全体では数十mA程度の電流が流れる。そのため電圧V<sub>cc</sub>(+5V)の標準電源だけでなく、高電圧V<sub>pp</sub>(+12V)を出力する高電圧電源が必要になる。

【0004】図11はフラッシュメモリを有するコンピュータシステムで、標準電源に加えて高電圧供給源を設けた時の従来の構成を示している。図において、111は中央処理装置(CPU)、112はROM/RAM、113は入出力ポート(I/O)ポート、114は周辺装置、115はフラッシュメモリ、118は高電圧供給源、119は高電圧供給源118をシステムが制御するための制御ポートである。高電圧供給源118は高電圧制御回路116と高電圧発生部117で構成されており、制御ポート119を介したCPU111からの制御により、フラッシュメモリ115へ高電圧V<sub>pp</sub>を供給するかしんないかが制御される。高電圧発生部117は固定電源の場合も、昇圧回路の場合もある。固定電源であれば、高電圧制御回路116は単なる切り換えスイッチである。昇圧回路であれば、消費電力低減のため必要に応じて回路が起動できるようになっており、高電圧制御回路116はその制御回路になる。

【0005】フラッシュメモリを使用したコンピュータシステムでは、フラッシュメモリに対して頻繁に書き込み又は消去を行うことはなく、高電圧は必要に応じて供給される。図12は図11のコンピュータシステムにおける書込/消去動作時の高電圧源の制御を示すフローチャートである。図に従って動作を簡単に説明する。ステップ1201では、高電圧源制御ポート119に高電圧の供給を指示する信号が出力される。これにより、もし固定電源であれば高電圧制御回路116が高電圧を供給する側に切り換えられる。昇圧回路であれば、昇圧が開始される。

【0006】ステップ1202では、充分な高電圧が供給されるまでの待機動作が行われる。もし固定電源であれば、このステップは必要ない。ステップ1203では、フラッシュメモリへの書き込み又は消去コマンドが書き込まれる。ステップ1204とステップ1205は、ステップ1203の後の状態を確認する部分であり、問題がなければ、ステップ1203で高電圧源制御ポート119を介して高電圧の供給停止を指示する信号を出力する。これに応じて、高電圧の供給が停止される。

【0007】以上が標準電源に加えて高電圧供給源を設けた時の従来の処理動作であるが、このような高電圧源を別に設ける必要があるということは使用上好ましくなく、単一電源で利用できるフラッシュメモリが要望され

ている。単一電源で利用できるようにするため、現在のフラッシュメモリにおいては、内部に標準電源の電圧V<sub>cc</sub>を高電圧V<sub>pp</sub>に昇圧回路を設けることで単一電源化を図っている。その場合、この昇圧した高電圧V<sub>pp</sub>をコントロールゲートに印加し、ドレインには+6Vではなく標準電源の電圧V<sub>cc</sub>を印加する。これであれば、ドレインのアバランシェブレークダウン電圧は低下するが、コントロールゲートには電流はほとんど流れないため、電流供給能力の小さい内部昇圧回路でも電圧印加ができる。電流量が大きくなるドレインへの電圧印加には、標準電源が使用できるため、単一電源で書き込み及び消去が行える。

【0008】

【発明が解決しようとする課題】ところが、フラッシュメモリの低消費電力化等のために、標準電源の低電圧化も図られており、上記のドレインに標準電源の電圧V<sub>cc</sub>を直接印加する方法では、ドレインに印加する標準電源の電圧V<sub>cc</sub>がアバランシェブレークダウンを引き起こす電圧よりも低くなるという状況が生じている。そのため、上記の書き込み方法が使用できなくなるという問題が起きている。

【0009】そこで、元通り高電圧源を別に設けることが考えられるが、上記の単一電源化を前提として多くのシステムが既に作られており、そのようなシステムに別に高電圧源を必要とするフラッシュメモリを使用する場合、高電圧源を制御するソフトウェアの変更が必要になる。しかしこのような変更作業は煩雑であり、フラッシュメモリの製品としての価値を著しく低下させるという問題がある。

【0010】また低電圧では使用できないため、標準電源の電圧V<sub>cc</sub>を高く設定する必要があり、標準電源の低電圧化ができないという問題がある。本発明は、上記問題点に鑑みてなされたものであり、二電源を使用するが、実質的に単一電源と同様の操作で利用できる使用方法の容易な不揮発性半導体記憶装置の実現を目的とする。

【0011】

【課題を解決するための手段】図1は本発明の電氣的消去が可能な不揮発性半導体記憶装置の原理説明図である。図示のように、本発明の不揮発性半導体記憶装置は、データの書き込み時又は消去時に、読出時に使用する電源電圧V<sub>cc</sub>よりも高い電源電圧V<sub>pp</sub>を必要とし、標準電源用端子の他に外部の高電圧供給手段2から供給される高電圧用の電源端子6を備える不揮発性半導体記憶装置であり、上記目的を実現するため、高電圧供給手段2に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子7を備えることを特徴とする。

【0012】更に、本発明の第二の態様の不揮発性半導体記憶装置は、不揮発性半導体記憶装置自体に入力され

るコマンド信号から高電圧が必要な動作であるかを判定するコマンド判定手段を備え、このコマンド判定手段は高電圧が必要なコマンドの時には高電圧供給の開始を指示する制御信号を出力し、高電圧が必要でなければ高電圧供給の停止を指示する制御信号を出力することを特徴とする。

#### 【0013】

【作用】本発明の不揮発性半導体記憶装置(EEPROM)は、高電圧供給手段2に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子7を備えており、必要に応じて制御信号を出力する。そのため、従来のようにシステム側から高電圧供給手段2を制御する必要がなく、単一電源の不揮発性半導体記憶装置の場合と同様に、不揮発性半導体記憶装置をアクセスすれば、必要に応じて不揮発性半導体記憶装置が自動的に高電圧供給手段2を制御する。従って、単一電源の不揮発性半導体記憶装置と同様の操作を行えばよく、ソフトウェアの変更等は必要ない。

【0014】図2は本発明の不揮発性半導体記憶装置(EEPROM)を用いたシステムにおける高電圧を必要とする動作を行う時の処理手順を示すフローチャートである。左側のステップ201から204はシステム側の処理を示しており、右側のステップ210から213はEEPROMの処理を示している。ステップ201では、EEPROMへ書き込み/消去コマンドを送出する。これに応じて、EEPROMは、ステップ210で、書き込み/消去コマンドであるかを判定する。もし読出動作であれば、高電圧は必要ないので、以下の処理を行わずに読出動作を行う。もし書き込み/消去動作であれば、ステップ211で、高電圧制御信号端子7から高電圧の出力を開始する指示を送出する。その後、供給される高電圧の電圧値が充分な値になるまで待機するが、前述のように、高電圧電源が固定電源であれば、待機動作は必要ない。

【0015】高電圧の電圧値が充分な値になった後、ステップ212で書き込み/消去動作を行う。消去動作の場合には、システム側は何の動作も行う必要がなく、別の処理を行う。書き込み動作であれば、システム側が書き込みデータを送出する。いずれにしろ、書き込み/消去動作の途中又は終了時点でシステム側が確認動作を行う。これがステップ202と203である。

【0016】ステップ204では、EEPROMへの書き込み/消去動作が終了したことを通知する信号を送出する。これに応じて、EEPROMは、ステップ213で高電圧の供給停止を指示する信号を送出する。書き込み/消去動作は、通常大量のデータをまとめて行うので、書き込み/消去動作はある程度の時間連続しておこなわれる。従って、EEPROMはある程度の時間書き込み/消去動作が行われなかったことを検出した時に自動的に高電圧の供給停止を指示する信号を送出するよう

にしてもよい。

【0017】いずれにしても、システム側の処理は図12に示した従来例に比べて簡単になる。

#### 【0018】

【実施例】図3は本発明の実施例の全体構成を示す図である。図において、31は中央処理装置(CPU)、32はROM/RAM、33はI/Oポート、34は周辺装置、35は本発明のフラッシュメモリ、36は高電圧を発生するDC-DCコンバータである。DC-DCコンバータ36はフラッシュメモリ35からの制御信号によって起動及び停止が制御される。

【0019】図11と比較して明らかなように、CPUがDC-DCコンバータ36を制御するための出力ポートがない。図3の構成は、単一電源のフラッシュメモリを使用する場合と同じである。図4は、図3のフラッシュメモリの内部構成を示す図である。図示のように、このフラッシュメモリは、アドレスバッファ41、行デコーダ42、列デコーダ43、メモリセルマキス44、読出/書き込みアンプ45、入出力バッファ46及び制御部47を有しており、外部入出力端子として、アドレス端子、データ端子、標準電源(Vcc)端子、高電圧(Vpp)端子及び制御端子を有している。これらは従来のフラッシュメモリと同じである。

【0020】従来のフラッシュメモリと異なるのは、コマンド判定部49と電圧確認回路48を有する点と、外部入出力端子として高電圧源制御端子を有する点である。コマンド判定部49は、例えば、フラッシュメモリへの書き込み/消去動作のコマンドコードとの一致を検出する比較回路であり、CPU31がフラッシュメモリへの書き込み/消去コマンドを出力した時に、これを検出して高電圧源制御端子に高電圧の供給開始を指示する信号を出力する。また書き込み信号\*WEでリセットされるタイマー回路でもよい。

【0021】電圧確認回路48は、供給される高電圧が所定以上の電圧値を有するかを検出する回路であり、例えば、図6に示すような回路である。なお、図6の回路は、高電圧だけでなく、内部電源線に印加される高電圧Vppと標準電圧Vccがそれぞれの所定値以上であるかを判定する。図6において、61は制御部の本体部分であり、後述するような処理を行うシーケンス回路である。62はコンパレータであり、内部電源線64に印加される電圧を抵抗65で分圧した電圧を二種類の基準電圧r1及びr2と比較する。比較する基準電圧はスイッチ63で切り換えられる。

【0022】図5は本実施例のフラッシュメモリにおける外部電源制御動作を示している。ステップ501では、CPUからフラッシュメモリに出力される信号を調べて、高電圧が必要であるかが判定される。もし高電圧が必要であれば、ステップ502でDC-DCコンバータ36への起動信号を送出する。DC-DCコンバータ

は、起動後所定の電圧を出力するまである程度の時間を要する。そこでステップ502で、電圧確認回路50が内部電源線の電圧が所定値以上であることを検出するまで待機する。

【0023】電圧が所定値以上になった時点で、ステップ504の書き込み又は消去動作を行う。この動作は連続して行われる。すべての書き込み又は消去動作が終了した後、ステップ505で、書き込みの場合はデータが正確に書き込まれているかを確認し、消去の場合は正しく消去されているかを確認される。問題がなければ、ステップ506でDC-DCコンバータ36への停止信号を送出するが、同時に内部電源が切り換えられる。これに応じてDC-DCコンバータ36は昇圧を停止する。

【0024】ステップ507では、切り換えた内部電源が通常の電圧に復帰したことが確認され、終了する。図5の処理動作では、図6の電圧確認回路を用いてDC-DCコンバータ36から出力される電圧を確認したが、起動後所定電圧に達するまでの時間をあらかじめ測定しておけば、高電圧を必要とする動作をこの時間経過後開始するようにしてもよい。図7はそのための回路例である。

【0025】制御部本体71は、高電圧を必要とする動作であることを確認すると、高圧電源制御端子にDC-DCコンバータを起動する信号を出力して一時的に動作を停止する。この起動信号は、遅延回路72にも入力され、遅延回路72は所定時間後制御部本体71に遅延信号を送出する。これに応じて、制御部本体71は動作を再開する。

【0026】図5の制御動作は当然マイクロコンピュータを利用して実現できるが、フラッシュメモリにマイクロコンピュータを組み込むのは現実的でなく、ここでは上記の遅延回路や論理回路を組み合わせて制御回路を実現している。上記の実施例においてはDC-DCコンバータ36をフラッシュメモリ35の外部に設けたが、DC-DCコンバータをフラッシュメモリに組み込むこともでき、その場合でもこれまで説明した制御機構は有用である。ここでDC-DCコンバータについて説明する。

【0027】図8及び9は、DC-DCコンバータ回路の基本構成を示す図である。図8はインダクタンス素子を用いた例である。図において、82は発振回路であり、83は昇圧動作を制御するためのスイッチである。84は発振回路82からの信号でオン・オフするスイッチであり、85はダイオードであり、86は標準電源とダイオード85との間に接続されたインダクタンス素子、具体的にはコイルである。スイッチ84がオン・オフすることによりトランスと同様の原理によってダイオード85の入力端の電圧振幅が増大し、ダイオード85によって高電圧成分のみが出力端に流れ込み昇圧が行われる。スイッチ83を切り換えることにより、スイッチ

84がオン・オフするかどうか制御され、昇圧の制御が行われる。ここで、コイル86以外の部分は比較的小型にすることが可能であり、フラッシュメモリに組み込むことができるが、コイル86は性能との関係であり小型にはできない。そのためDC-DCコンバータをフラッシュメモリに組み込む場合に、コイル86のみフラッシュメモリの外部より取り付けることが望ましい。

【0028】図9は、受動部品として容量素子(コンデンサ)を用いたDC-DCコンバータ回路の基本構成を示す図であり、詳しい説明は省略するが発振器92を動作させるかさせないかによって、昇圧の制御が行われる。図9の回路においても、容量素子94をフラッシュメモリに組み込むのは難しいため、容量素子94のみフラッシュメモリの外部より取り付けることが望ましい。

【0029】図10は、フラッシュメモリ102とDC-DCコンバータ103を組み合わせた素子に、上記のインダクタンス素子及び容量素子等の受動部品104を取り付けて一個のパッケージに収容したものである。

【0030】

【発明の効果】本発明により、二電源を必要とするフラッシュメモリ等のEEPROMが一電源のEEPROMと同様の操作で使えるようになる。また、これによりフラッシュメモリに電源用の昇圧回路を組み込む必要がなくなるため、フラッシュメモリ自体の低電源電圧化も可能になる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置の原理説明図である。

【図2】本発明の不揮発性半導体記憶装置(EEPROM)を用いたシステムの高電圧を必要とする動作時の処理手順を示すフローチャートである。

【図3】本発明の実施例の全体構成を示す図である。

【図4】実施例におけるフラッシュメモリの構成を示す図である。

【図5】実施例のフラッシュメモリにおける制御動作を示すフローチャートである。

【図6】電圧確認回路の例を示す図である。

【図7】制御信号送出後所定時間で次の動作へ移る回路構成例を示す図である。

【図8】DC-DCコンバータの第一の回路例を示す図である。

【図9】DC-DCコンバータの第二の回路例を示す図である。

【図10】DC-DCコンバータ内蔵のフラッシュメモリの実施例を示す図である。

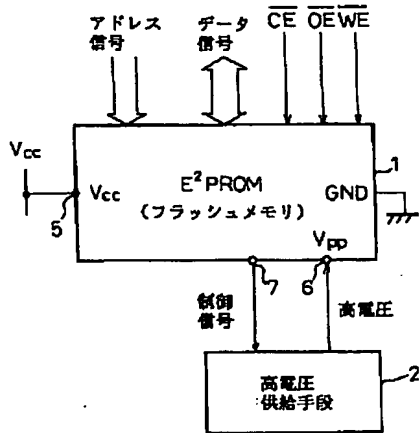
【図11】従来のフラッシュメモリを用いたシステムの構成例を示す図である。

【図12】従来のフラッシュメモリを用いたシステムの制御動作を示すフローチャートである。

【符号の説明】

- 1 …不揮発性半導体記憶装置  
2 …高電圧供給手段  
5 …標準電源用端子

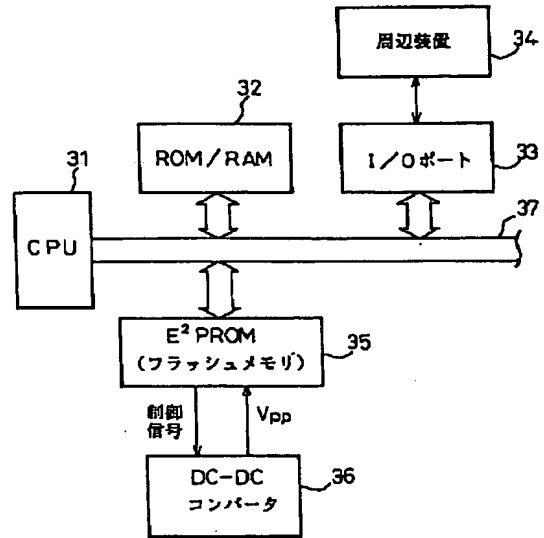
【図1】

本発明のE<sup>2</sup>PROMの原理説明図

- 6 …高電圧用の電源端子  
7 …高電圧制御信号端子

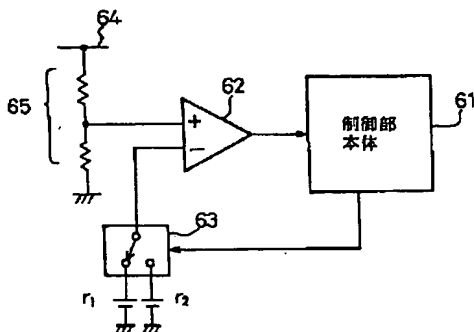
【図3】

実施例の全体構成



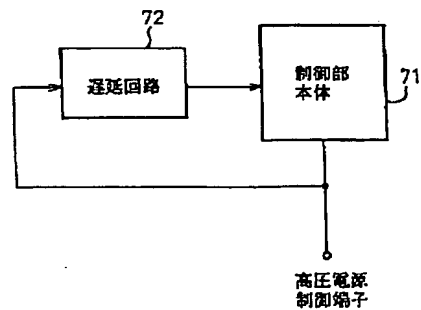
【図6】

電圧確認回路の例



【図7】

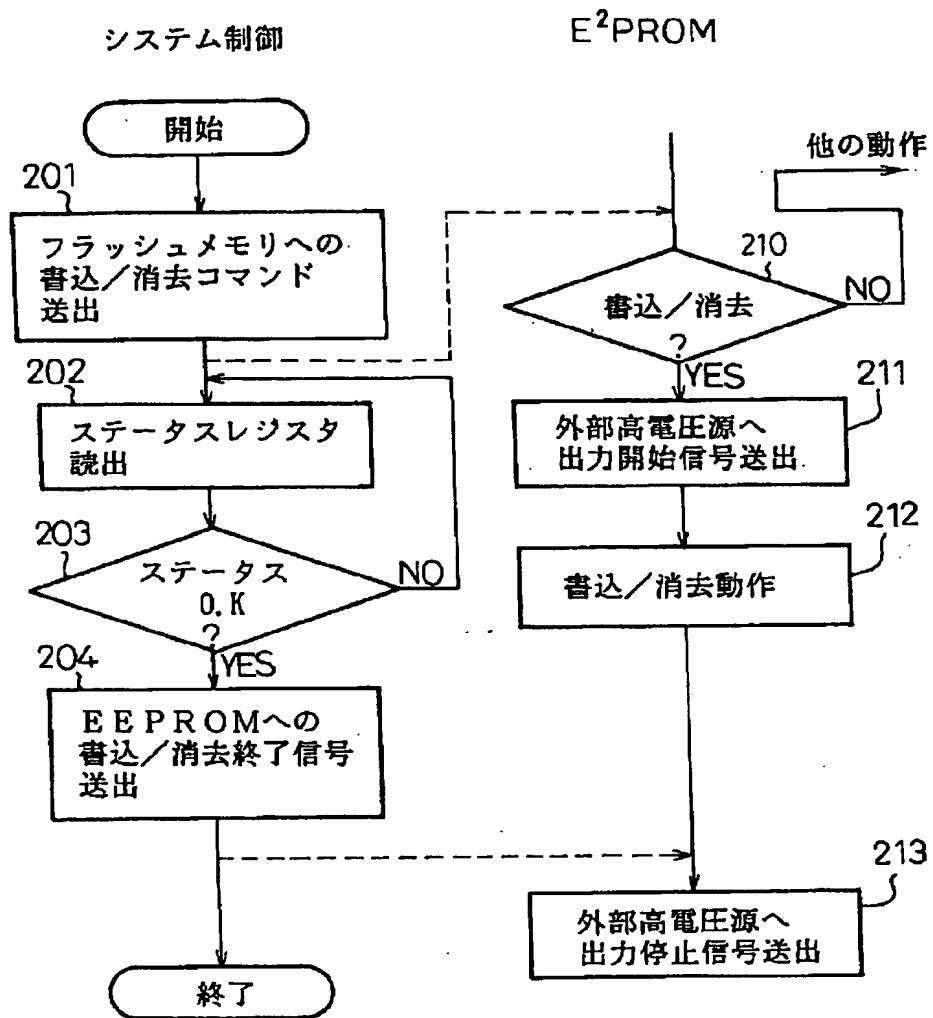
制御信号送出後所定時間で次の動作へ移る例





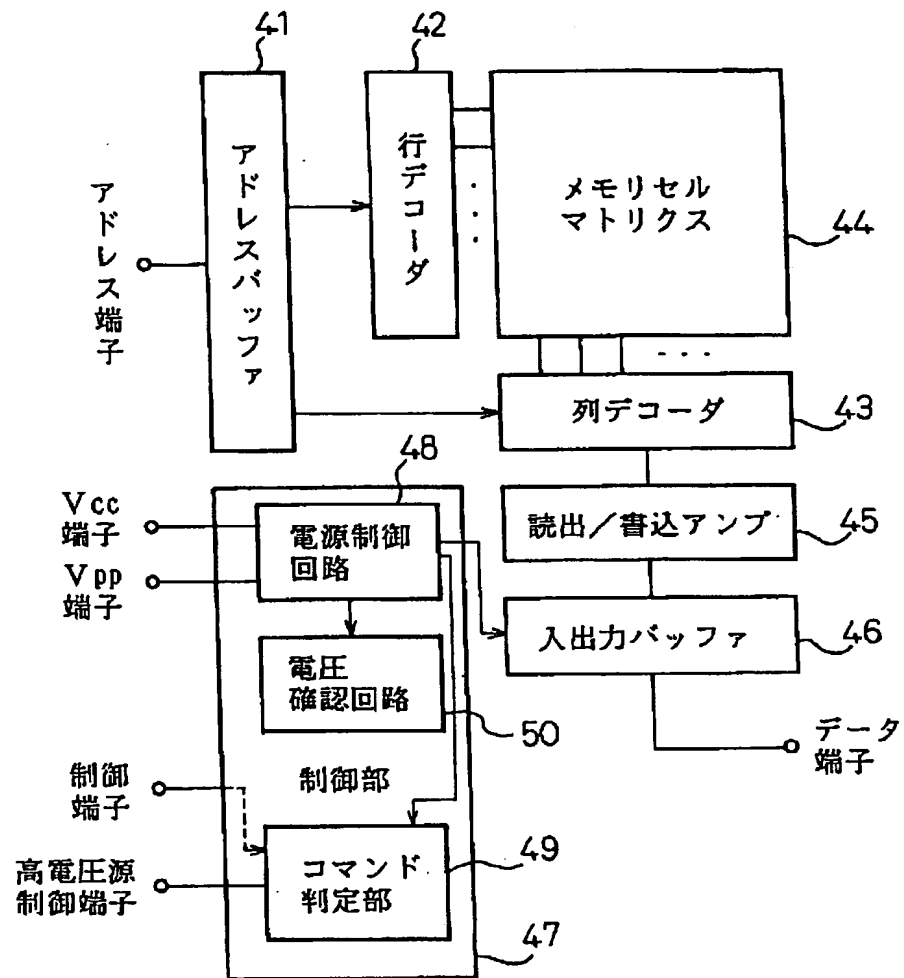
【図2】

本発明のE<sup>2</sup>PROMを用いたシステムの高電圧  
必要動作の処理手順



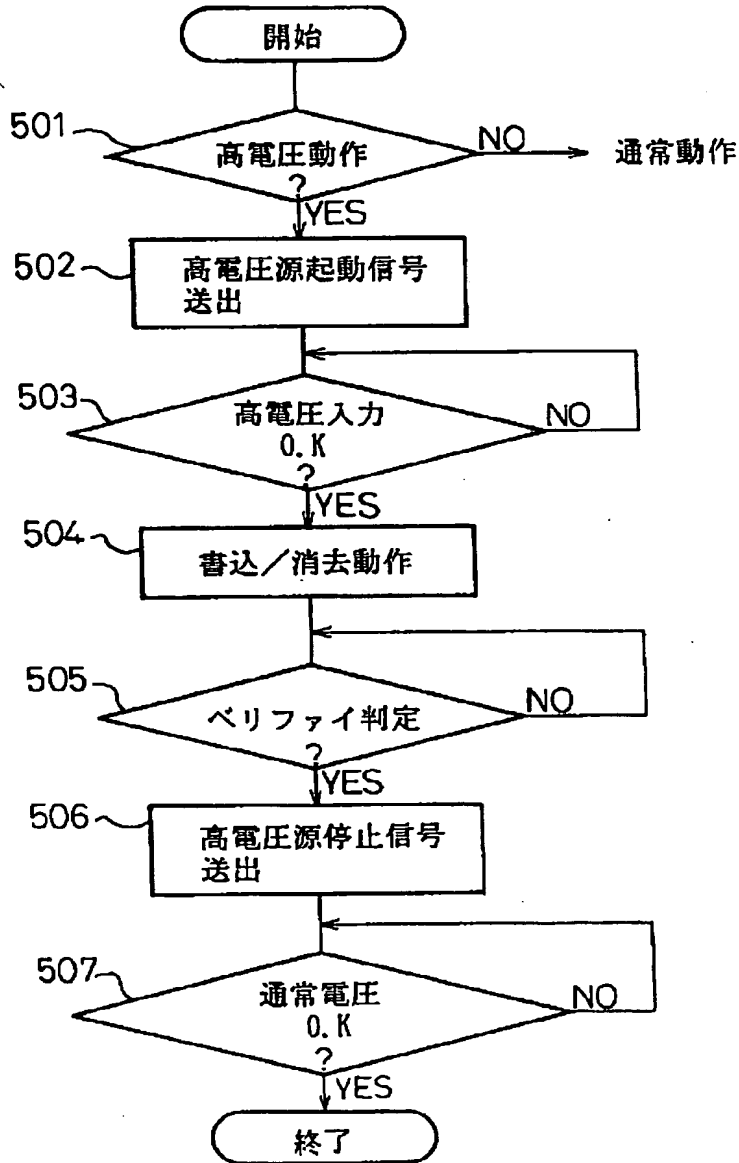
【図4】

## 実施例におけるフラッシュメモリの構成



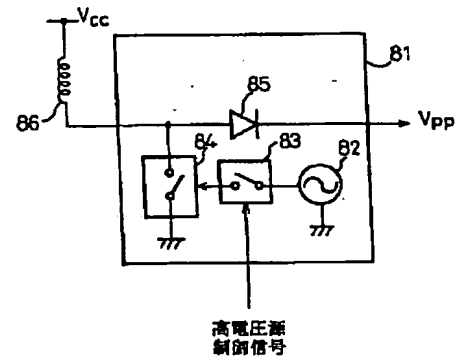
【図5】

実施例のフラッシュメモリにおける制御動作



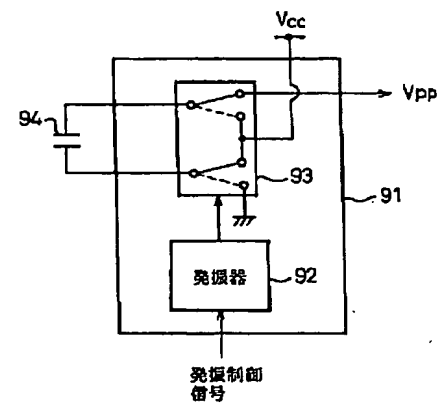
【図8】

DC-DCコンバータ回路例(その1)



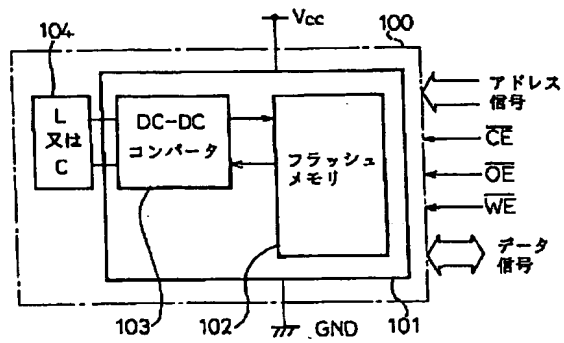
【図9】

DC-DCコンバータ回路例(その2)



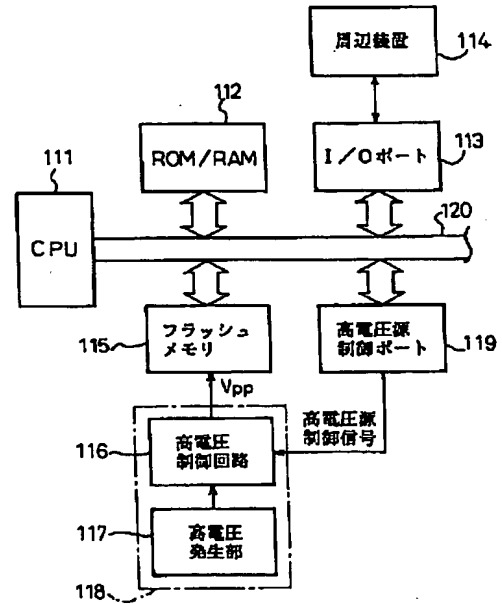
【図10】

DC-DCコンバータ内蔵フラッシュメモリの実施例



【図11】

従来のフラッシュメモリを用いたシステム構成例



【図12】

## 従来例のシステム制御動作

